Vitor Amadeu Souza

FPGA

Aplicações em VHDL
Volume VIII

© 2023 by Cerne Tecnologia e Treinamento Ltda.

© 2023 by Vitor Amadeu Souza

Nenhuma parte desta publicação poderá ser reproduzida sem autorização prévia e escrita de **Cerne Tecnologia e Treinamento Ltda.** Este livro publica nomes comerciais e marcas registradas de produtos pertencentes a diversas companhias. O editor utiliza as marcas somente para fins editoriais e em benefício dos proprietários das marcas, sem nenhuma intenção de atingir seus direitos.

Julho de 2023

Direitos reservados por:

Cerne Tecnologia e Treinamento Ltda

Produção: *Cerne Tecnologia e Treinamento*

E-mail da Empresa: *cerne@cerne-tec.com.br*

Home Page: *www.cerne-tec.com.br.com.br*

Atendimento ao Consumidor: *sac@cerne-tec.com.br*

Contato com o Autor: *vitor@cerne-tec.com.br*



FEITO NO BRASIL

“Melhor é repelir dez verdades do que admitir uma única falsidade.”

Allan Kardec

Kits Didáticos e Gravadores da Cerne Tecnologia

A Cerne tecnologia têm uma linha completa de aprendizado para os microcontroladores da família PIC, 8051, Holtek, dsPIC, ARM e etc. Veja os detalhes de cada um nas figuras abaixo:



Kit Cerne CPLD

- CPLD ALTERA
- Botões
- Leds
- Gravação ICSP
- Display 7 Segmentos
- E muito mais!

Uma linha completa de componentes para o desenvolvimento de seus projetos eletrônicos como displays, PICs, botões, leds, cristais e etc.

Visite a nossa página na Internet, no endereço **www.cerne-tec.com.br** e conheça melhor nossos serviços e produtos.

Cerne

Conhecimento para o Desenvolvimento

www.cerne-tec.com.br

Sumário

Capítulo I – Metodologia de desenvolvimento.....6

Capítulo II – Exemplos no VHDL.....7

1. Temporizador.....7
2. Biestável ou Multivibrador biestável.....10
3. Monoestável ou Multivibrador monoestável.....11
4. Astável ou Multivibrador astável.....13
5. Máquina de estados.....14

Capítulo I
Metodologia de desenvolvimento

A proposta desta obra é continuar apresentando exemplos em VHDL para FPGA. Exemplos com temporizador, biestável, monoestável, multivibrador astável e máquina de estados finita (*Finite-State Machine* - FSM) são temas abordados neste volume.

Para isso, recomenda-se que o leitor leia as obras dos volumes passados como *FPGA Aplicações em VHDL (2014), FPGA Aplicações em VHDL Volume II (2023) até o Volume VII (2023)* do mesmo autor e editora de modo a continuar seus estudos com eficiência.

Capítulo II
Exemplos no VHDL

1. Temporizador

Todos os circuitos eletrônicos sequenciais como exemplo uma placa-mãe ou celular funcionam baseados na frequência de um cristal de quartzo.









O cristal é uma espécie de coração para o circuito, pois dita a velocidade de funcionamento do mesmo. Para se achar o tempo de uma “pulsação”, neste caso o período, aplica-se a seguinte fórmula:

$$T=1/F$$

Em que T é dado em s ou submúltiplos e F em Hz ou múltiplos.

1) Dado um cristal de 1MHz, qual o período?

T=1/f

T=1/1000000

T=1/106

T=10-6

T=0,000001s ou 1µs

2) Dado um cristal de 10MHz, qual o período?

T=1/f

T=1/10000000

T=1/107

T=10-7

T=0,0000001s ou 0,1µs ou 100ns

Para criar um temporizador em VHDL devemos saber o período de clock (CLK) do FPGA e logo em seguida, estipularmos o tempo que precisamos esperar.

Ex: Dado um período de clock de 1µs em um FPGA, espera-se aguardar 10µs. Quantas vezes precisamos contar o período de clock para aguardar tal tempo?

C=10/1=10

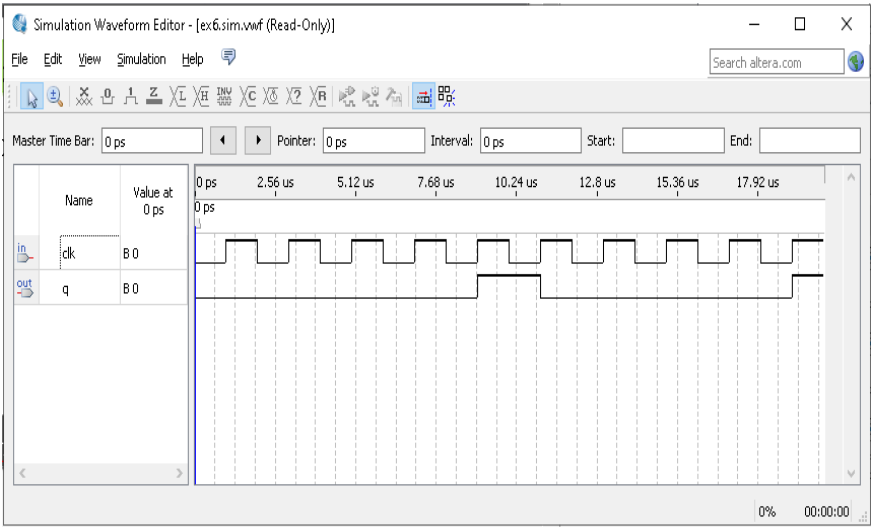
Acompanhe o código VHDL a seguir para gerar um pulso em q a cada 5 pulsos de clock.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.ALL;

entity ex6 is
  port(clk : in std_logic;
       q   : out std_logic);
end ex6;

architecture timer of ex6 is
begin
  process(clk)
        variable count : natural := 0;
        begin
              if rising_edge(clk) then
                          count:=count+1;
                          if(count=5) then
                                q<='1';
                                count:=0;
                          else
                                q<='0';
                          end if;
              end if;
  end process;
end timer;
```

Observe pela simulação abaixo que após contar 5 pulsos de clock é gerado um pulso na saída q, sendo um processo cíclico.



2. Biestável ou Multivibrador biestável

Biestável é um sinal dotado de dois estados lógicos estáveis: 0 e 1. A passagem de um estado a outro não pode ocorrer senão mediante uma ação externa.

Um circuito biestável é um circuito eletrônico que tem dois estados estáveis, de modo que, uma vez que o circuito seja comutado, permanecerá indefinidamente neste estado.