Vitor Amadeu Souza

FPGA

Aplicações em VHDL
Volume VI

© 2023 by Cerne Tecnologia e Treinamento Ltda.

© 2023 by Vitor Amadeu Souza

Nenhuma parte desta publicação poderá ser reproduzida sem autorização prévia e escrita de **Cerne Tecnologia e Treinamento Ltda.** Este livro publica nomes comerciais e marcas registradas de produtos pertencentes a diversas companhias. O editor utiliza as marcas somente para fins editoriais e em benefício dos proprietários das marcas, sem nenhuma intenção de atingir seus direitos.

Julho de 2023

Direitos reservados por:

Cerne Tecnologia e Treinamento Ltda

Produção: *Cerne Tecnologia e Treinamento*

E-mail da Empresa: *cerne@cerne-tec.com.br*

Home Page: *www.cerne-tec.com.br.com.br*

Atendimento ao Consumidor: *sac@cerne-tec.com.br*

Contato com o Autor: *vitor@cerne-tec.com.br*



FEITO NO BRASIL

“Melhor é repelir dez verdades do que admitir uma única falsidade.”

Allan Kardec

Kits Didáticos e Gravadores da Cerne Tecnologia

A Cerne tecnologia têm uma linha completa de aprendizado para os microcontroladores da família PIC, 8051, Holtek, dsPIC, ARM e etc. Veja os detalhes de cada um nas figuras abaixo:



Kit Cerne CPLD

- CPLD ALTERA
- Botões
- Leds
- Gravação ICSP
- Display 7 Segmentos
- E muito mais!

Uma linha completa de componentes para o desenvolvimento de seus projetos eletrônicos como displays, PICs, botões, leds, cristais e etc.

Visite a nossa página na Internet, no endereço **www.cerne-tec.com.br** e conheça melhor nossos serviços e produtos.

Cerne
Conhecimento para o Desenvolvimento

www.cerne-tec.com.br

Sumário

Capítulo I – Metodologia de desenvolvimento.....6

Capítulo II – Exemplos no VHDL.....7

1. FF tipo D rising edge.....7
2. FF tipo D falling edge.....11
3. FF tipo T rising edge.....14
4. FF tipo T falling edge.....17
5. Latch com EN=1.....19
6. Latch com EN=0.....22

Capítulo I
Metodologia de desenvolvimento

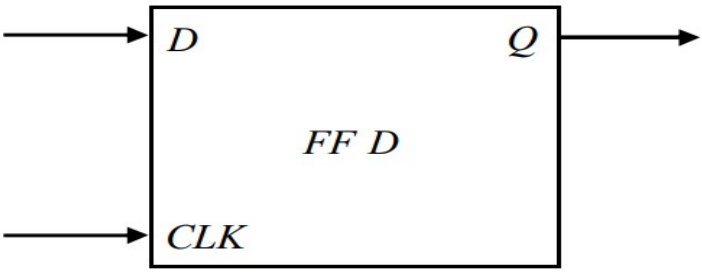
A proposta desta obra é continuar apresentando exemplos em VHDL para FPGA. Exemplos com flip-flops D e T assim como o latch são temas abordados neste volume.

Para isso, recomenda-se que o leitor leia as obras dos volumes passados como *FPGA Aplicações em VHDL (2014), FPGA Aplicações em VHDL Volume II (2023), FPGA Aplicações em VHDL Volume III (2023), FPGA Aplicações em VHDL Volume IV (2023) e FPGA Aplicações em VHDL Volume V (2023)* do mesmo autor e editora de modo a continuar seus estudos com eficiência.

Capítulo II
Exemplos no VHDL

1. FF tipo D rising edge

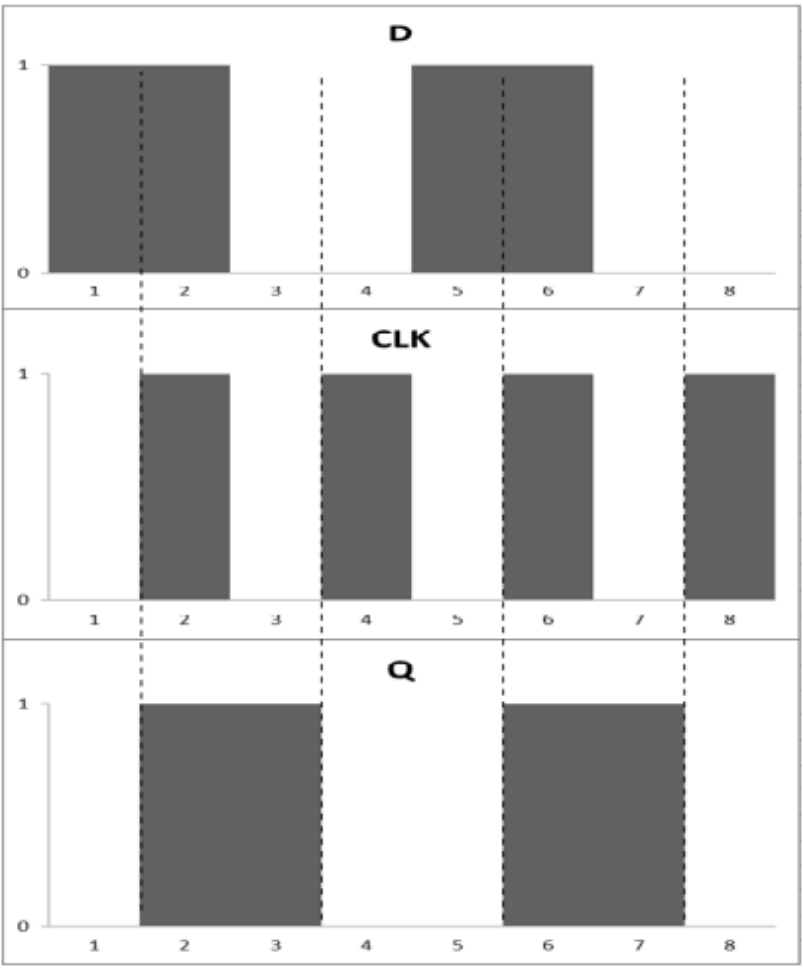
Este flip-flop apresenta apenas uma entrada chamada D além da entrada de clock, que pode ser ativa na borda de subida ou descida. Também apresenta apenas uma saída Q. O flip-flop tipo D com transição na borda de subida é representado da seguinte forma:



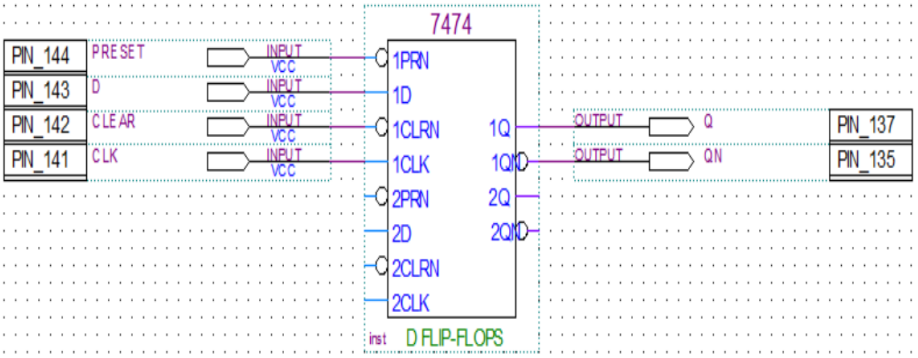
A seguir a tabela verdade deste flip-flop.

D	CLK	Q
0	↑	0
1	↑	1

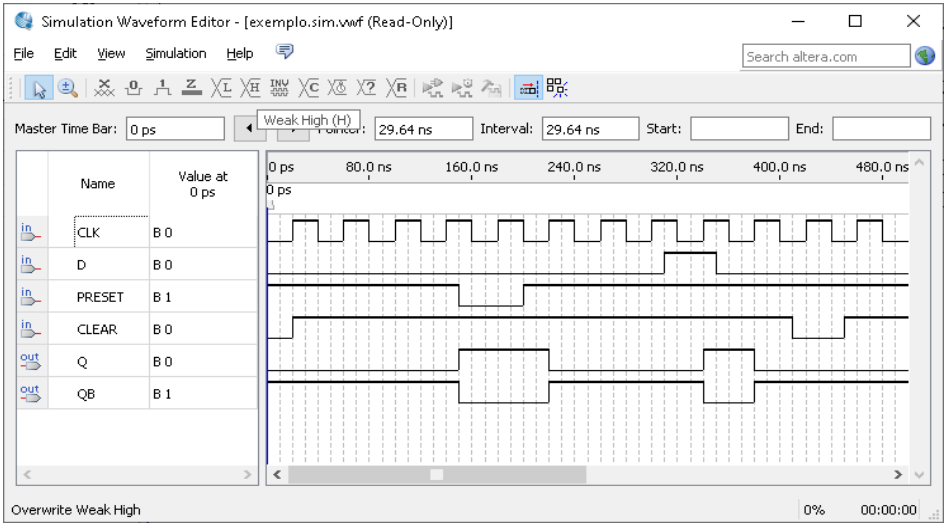
A próxima carta de tempos mostra o comportamento (*behavior*) deste flip-flop.



Note que a transição ocorre sempre na borda de subida de CLK. É possível simular o funcionamento deste flip-flop no esquemático (*schematic*), fazendo o circuito conforme apresentado abaixo.



O CI 7474 é um FF tipo D com entrada de PRESET e CLEAR. A próxima tela apresenta a simulação deste FF.



Acompanhe a seguir o código VHDL que implementa tal solução.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.ALL;

entity ex1 is
   port(clk,d : in std_logic;
             q : out std_logic);
end ex1;

architecture flipflop of ex1 is
begin
   process(clk)
   begin
           if rising_edge(clk) then
                  q<=d;
           end if;
   end process;
end flipflop;
```

A próxima tela apresenta o resultado de uma simulação feita no Quartus II para o código VHDL.