Vitor Amadeu Souza

FPGA

Aplicações em VHDL
Volume VII

© 2023 by Cerne Tecnologia e Treinamento Ltda.

© 2023 by Vitor Amadeu Souza

Nenhuma parte desta publicação poderá ser reproduzida sem autorização prévia e escrita de **Cerne Tecnologia e Treinamento Ltda.** Este livro publica nomes comerciais e marcas registradas de produtos pertencentes a diversas companhias. O editor utiliza as marcas somente para fins editoriais e em benefício dos proprietários das marcas, sem nenhuma intenção de atingir seus direitos.

Julho de 2023

Direitos reservados por:

Cerne Tecnologia e Treinamento Ltda

Produção: *Cerne Tecnologia e Treinamento*

E-mail da Empresa: *cerne@cerne-tec.com.br*

Home Page: *www.cerne-tec.com.br.com.br*

Atendimento ao Consumidor: *sac@cerne-tec.com.br*

Contato com o Autor: *vitor@cerne-tec.com.br*



FEITO NO BRASIL

“Melhor é repelir dez verdades do que admitir uma única falsidade.”

Allan Kardec

Kits Didáticos e Gravadores da Cerne Tecnologia

A Cerne tecnologia têm uma linha completa de aprendizado para os microcontroladores da família PIC, 8051, Holtek, dsPIC, ARM e etc. Veja os detalhes de cada um nas figuras abaixo:



Kit Cerne CPLD

- CPLD ALTERA
- Botões
- Leds
- Gravação ICSP
- Display 7 Segmentos
- E muito mais!

Uma linha completa de componentes para o desenvolvimento de seus projetos eletrônicos como displays, PICs, botões, leds, cristais e etc.

Visite a nossa página na Internet, no endereço **www.cerne-tec.com.br** e conheça melhor nossos serviços e produtos.

Cerne
Conhecimento para o Desenvolvimento

www.cerne-tec.com.br

Sumário

Capítulo I – Metodologia de desenvolvimento.....6

Capítulo II – Exemplos no VHDL.....7

1. Registrador de deslocamento.....7
2. Contador.....11

Capítulo I
Metodologia de desenvolvimento

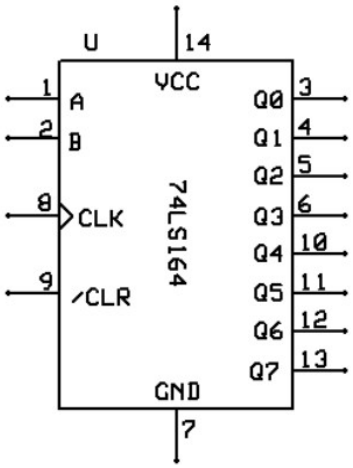
A proposta desta obra é continuar apresentando exemplos em VHDL para FPGA. Exemplos com registrador de deslocamento e contador são temas abordados neste volume.

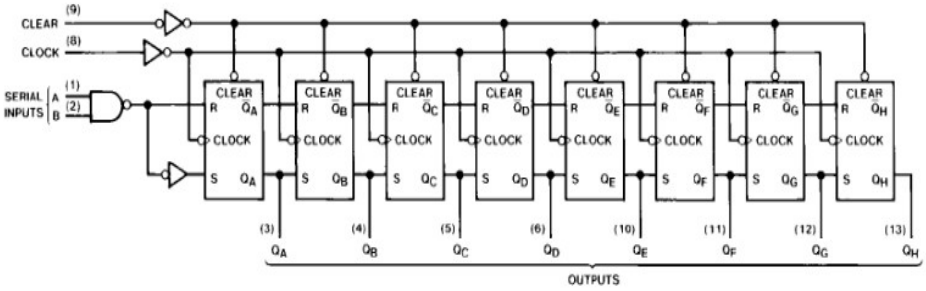
Para isso, recomenda-se que o leitor leia as obras dos volumes passados como *FPGA Aplicações em VHDL (2014), FPGA Aplicações em VHDL Volume II (2023) até o Volume VI (2023)* do mesmo autor e editora de modo a continuar seus estudos com eficiência.

Capítulo II
Exemplos no VHDL

1. Registrador de deslocamento

O registrador de deslocamento ou *shift-register* é um circuito integrado que permite criar conversores de dados que sejam do tipo serial para paralelo ou paralelo para serial. Os registradores são construídos em sua maioria de flip-flops tipo D e possuem uma entrada ou saída de dados e os pinos por onde poderemos ter acesso as saídas paralelas. Além do pino de dados, encontramos o pino de clock (CLK) e normalmente um de clear (CLR). Acompanhe a pinagem e constituição interna de um registrador de deslocamento modelo 74164.





O funcionamento deste circuito consiste em que a cada pulso de clock gerado o dado presente na entrada D seja deslocado para a saída Q0 e o dado que estava em Q0, vá para Q1. Em seguida, o dado que estava presente em Q1 vai para Q2 e assim sucessivamente até o último bit do registrador. Digamos que as saídas do registrador de deslocamento em dado instante seja dado da seguinte forma:

Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7
1	1	0	0	1	0	1	0

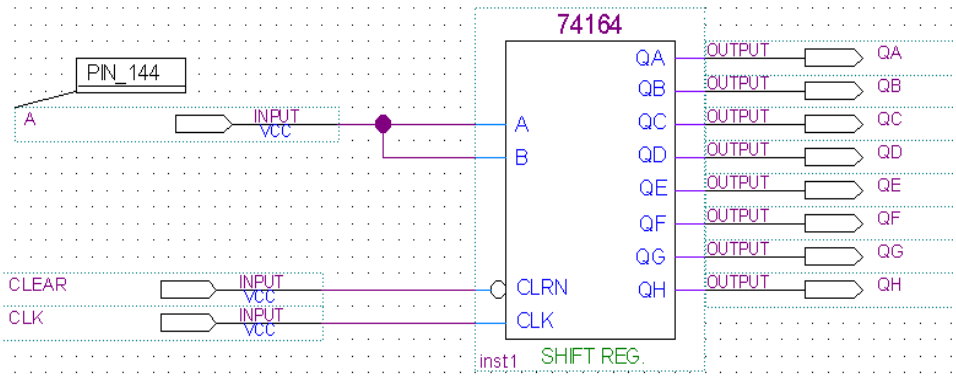
Digamos que seja gerado um pulso de CLK e o dado presente na entrada D seja 0. Neste caso, esta nova informação entrará em Q0 e todo o conteúdo restante será deslocado para a direita. Acompanhe como ficará agora a formação das saídas deste registrador:

Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7
0	1	1	0	0	1	0	1

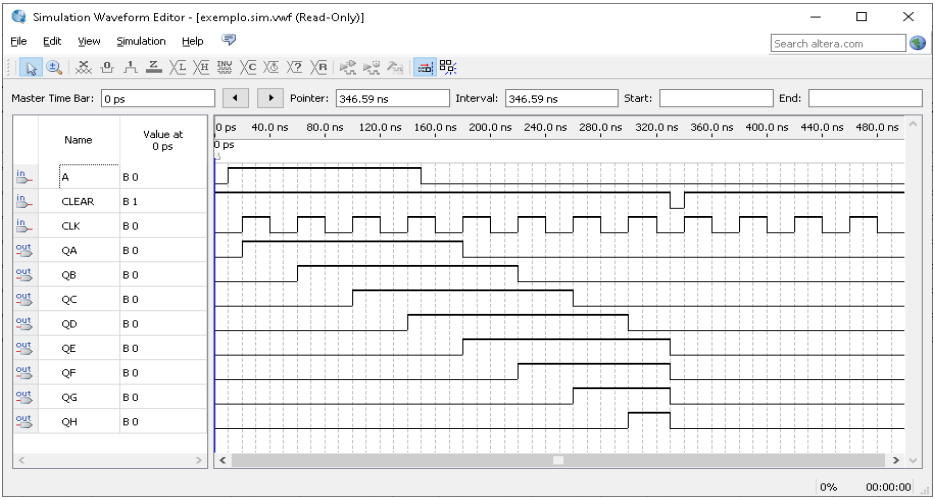
Agora vamos gerar um novo pulso de CLK, porém com D igual a 1. Neste caso, teríamos a seguinte configuração de saída no registrador:

Q_0	Q_1	Q_2	Q_3	Q_4	Q_5	Q_6	Q_7
1	0	1	1	0	0	1	0

Observe que o bit mais à direita que está em Q7 sempre é descartado. Na *library* do Quartus II podemos encontrar o componente 74164 que simula o funcionamento do registrador de deslocamento, conforme pode ser visto a seguir.



A seguir o resultado da simulação com o diagrama de tempos. Note que os bits presentes em D são transferidos para as saídas QA a QH bit a bit, perfazendo assim um conversor serial paralelo ou SIPO (*serial-in parallel-out*).



Uma solução em VHDL está proposta abaixo. Observe que na borda de subida cada bit é deslocado e o novo atribuído a posição 0 do barramento de saída.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.ALL;
```